

Docket No.: 60188-583

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yoshihisa KATO, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: August 26, 2003	:	Examiner:
For: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR DRIVING THE SAME	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. JP2002-268515, filed on August 13, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: August 26, 2003

60188-583

Yoshihisa KATO, et al.

日本国特許庁 August 26, 2003

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月13日

出願番号

Application Number:

特願2002-268515

[ST.10/C]:

[JP2002-268515]

出願人

Applicant(s):

松下電器産業株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028290

【書類名】 特許願

【整理番号】 2925040066

【提出日】 平成14年 9月13日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/419

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 加藤 剛久

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山田 隆善

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体記憶装置および駆動方法

【特許請求の範囲】

【請求項 1】 パストランジスタと強誘電体キャパシタからなるメモリセルを複数個備え、前記複数のメモリセルはサブビット線で接続され、サブビット線の一端にはゲイントランジスタのゲートが接続され、前記ゲイントランジスタのドレインはビット線に、ソースはソース線に接続された半導体記憶装置であって、サブビット線をゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電する手段を備えたことを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 記載の半導体記憶装置において、サブビット線にリセット電圧印加手段を備えたことを特徴とする半導体記憶装置。

【請求項 3】 パストランジスタと強誘電体キャパシタからなるメモリセルを複数個備え、前記複数のメモリセルはサブビット線で接続され、サブビット線の一端にはゲイントランジスタのゲートが接続され、前記ゲイントランジスタのドレインはビット線に、ソースはソース線に接続された半導体記憶装置であって、ゲイントランジスタのドレイン・ソース間を流れる電流を遮断する手段を備えたことを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 記載の半導体記憶装置において、前記しきい電圧値充電手段によりサブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電した後、強誘電体キャパシタの一方の電極に読み出し電圧を印加し、ゲイントランジスタのチャネル抵抗の変化を検出するデータ読み出し方法。

【請求項 5】 請求項 2 に記載の半導体記憶装置において、前記しきい電圧値充電手段によりサブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電した後、リセット電圧印加手段によりサブビット線をリセット電圧にし、リセット電圧印加手段を切り離した後、強誘電体キャパシタの一方の電極に読み出し電圧を印加し、ゲイントランジスタのチャネル抵抗の変化を検出するデ

ータ読み出し方法。

【請求項 6】 請求項 4、5 記載のデータ読み出し方法において、前記しきい電圧値充電手段によりサブビット線および強誘電体キャパシタのストレージノードを充電する工程において、前記強誘電体キャパシタの一方の電極には、前記読み出し電圧と前記しきい電圧値あるいはしきい電圧にオフセットを加えた電圧値との中間電圧であり、かつ強誘電体膜の抗電圧を超えない電圧が印加されていることを特徴とする駆動方法。

【請求項 7】 請求項 3 記載の半導体記憶装置において、強誘電体キャパシタの一方の電極に読み出し電圧を印加し、ゲイントランジスタのチャネル抵抗の変化を検出するデータ読み出し方法であって、サブビット線の電位変化中、前記ドレイン・ソース間電流遮断手段によりドレイン・ソース間電流を遮断する駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセルにゲイントランジスタが接続された強誘電体メモリの回路構成、および駆動方法に関するものである。

【0002】

【従来の技術】

従来の技術を、図面を用いて以下に説明する。

【0003】

図 5 は、従来の強誘電体メモリの回路構成図である。図 5 において、C00～13，CX00～13 は強誘電体キャパシタ、QP00～13，QPX11～13 はパストランジスタ、QG00～11，QGX00～11 はゲイントランジスタ、QR00～11，QRX00～11 はリセットトランジスタ、WL0～3 はワード線、CP0～3 はプレート線、BL0，1，BLX0，1 はビット線、SBL00～11，SBLX00～11 はサブビット線、RE0，1 はリセットトランジスタ制御線、DL0，1，DLX0，1 はデータ出力線、RST0，1，RSTX0，1 は RST 線、SA0，1 はセンスアンプ回路、SW はスイッチ、

WR 0, 1, WRX 0, 1 はデータ書き込み回路、MC 0 0 ~ 1 3 はメモリセル、MB 0 0 ~ 1 1 はメモリブロック、SN 0 0, SNX 0 0 はメモリセルMC 0 0 におけるストレージノードである。

【 0 0 0 4 】

メモリセルMC 0 0 ~ 1 3 は2つの強誘電体キャパシタと2つのパストランジスタで構成され、強誘電体キャパシタの両電極の内、一方は共通のプレート線に接続され、他方すなわちストレージノードはパストランジスタを介してサブビット線に接続され、パストランジスタのゲートはワード線に接続されている。メモリブロックMB 0 0 ~ 1 1 は、2つのメモリセルとゲイントランジスタとリセットトランジスタで構成され、ゲイントランジスタのゲートがサブビット線に、ドレインがビット線に、ソースがRST線に接続され、リセットトランジスタのゲートがリセットトランジスタ制御線に、ドレインがサブビット線に、ソースがRST線に接続されている。

【 0 0 0 5 】

メモリブロックは2行2列のマトリクス配置されており、ビット線の一端には、例えばクロスカップルインバータで構成されたセンスアンプが接続され、RST線の一端にはスイッチを介して接地、あるいはデータ書き込み回路に接続されている。メモリセルに含まれる2つの強誘電体キャパシタには、上向きあるいは下向きの分極としてデータが相補的に記録される。相補的な関係にあるものは、図5中で同じ添え字番号、かつ「X」という文字の有無で表わされている。

【 0 0 0 6 】

最初に、メモリセルへデータを書き込む動作を、図5中のメモリブロックMB 0 0 に属するメモリセルMC 0 0 にデータ“0”を書き込む場合を、図6(a)に示す各配線への電圧印加図を用いて説明する。まず、図5のスイッチSWを右側にしてRST 0, RSTX 0 を接地し、WL 0 およびRE 0 にハイ電圧を印加してパストランジスタQP 0 0, QPX 0 0 およびリセットトランジスタQR 0 0, QRX 0 0 をオンにした状態で、プレート線CP 0 に正極性パルスを印加する。このパルス印加により、2つの強誘電体キャパシタC 0 0, CX 0 0 を図5中において上向きに分極させる。次いで、図5のスイッチSWを左側に切り替え

、RST₀にWR₀から正極性パルスを印加し、強誘電体キャパシタC₀₀の分極を下向きに変える。このとき、WR₁は接地電位を出力している。なお、強誘電体キャパシタの分極は、2つの電極間に強誘電体の抗電圧以上の電圧を印加したとき、電極間電圧の極性と同方向、すなわち正電圧電極側から負電圧電極側へと向く。

【0007】

以上の動作により、メモリセル中の2つの強誘電体キャパシタC₀₀、CX₀₀には、互いに異なる分極方向としてデータが書き込まれる。メモリセルを構成するキャパシタC** (**はアドレスを示す添え字番号) が下向き分極、キャパシタCX** が上向き分極でデータ“0”、分極方向が反対でデータ“1”となる。強誘電体キャパシタは電源を切っても、この分極状態が保存され、不揮発性メモリとして機能する。

【0008】

次に、上記の方法でデータ“0”が書き込まれているメモリセルMC₀₀からデータを読み出す動作を説明する。データ読み出し動作では、図5のスイッチSWは右側に切り替えておき、RST線を接地した状態で、図6(b)に示す電圧を各配線に印加する。最初に、プリチャージ回路をオン(図示していない)し、ビット線BL₀、BLX₀をハイ電位にプリチャージする。次いで、WL₀およびREにハイ電圧を印加してパストランジスタQP₀₀、QPX₀₀およびリセットトランジスタQR₀₀、QRX₀₀をオンにしてストレージノードSN₀₀、SNX₀₀をRST電位すなわち接地電位にリセットする。リセット完了後、RE₀をロー電位にしてリセットトランジスタQR₀₀、QRX₀₀をオフし、プリチャージ回路をオフし、センスアンプSA₀を起動し、プレート線CP₀に正極性パルスを印加する。このとき、強誘電体キャパシタC₀₀、CX₀₀からゲイントランジスタQG₀₀、QGX₀₀へと電荷が移動し、サブビット線SBL₀₀、SBLX₀₀の電位は上昇してゲイントランジスタQG₀₀、QGX₀₀をオンさせ、ビット線BL₀₀、BLX₀₀の電位をプリチャージレベルから下降させる。このとき、下向きに分極している強誘電体キャパシタC₀₀の方が、上向きに分極している強誘電体キャパシタCX₀₀よりも多くの電荷が発生す

るため、サブビット線 S B L 0 0 の電位 (V S B L 0 0) は S B L X 0 0 の電位 (V S B L X 0 0) よりも高くなる。その結果、ゲイントランジスタ Q G 0 0 のチャネル抵抗は Q G X 0 0 よりも低くなり、ビット線 B L 0 の電位変化は B L X 0 の電位変化よりも大きくなる。ビット線対 (B L 0 , B L X 0) の電位差はセンスアンプにより増倍される。ビット線対の B L 0 がロー電位、B L X 0 がハイ電位の場合でデータ “ 0 ” と判定され、逆極性でデータ “ 1 ” と判定され、判定結果がデータ出力線 D L 0 , D L X 0 から出力される。

【 0 0 0 9 】

以上の分極読み出し後に、R E 0 をハイ電位にしてリセットトランジスタをオンさせ、ストレージノード S N 0 0 , S N X 0 0 を R S T 電位すなわち接地電位にリセットし、W L 0 をロー電位にしてパストランジスタをオフさせて読み出し動作は完了される。

【 0 0 1 0 】

過去に、センスアンプのオフセットをコンデンサに充電してキャンセルする方法 (特許文献 1 参照) 、センスアンプにトリミング機能を付与してオフセットを減少させる方法 (特許文献 2 参照) 、センスアンプを構成する M O S トランジスタのウェル電位を調整してオフセットを補償する方法 (特許文献 3 参照) が提案されている。

【 0 0 1 1 】

【特許文献 1】

特開平 0 7 - 3 0 2 4 9 7 号公報

【特許文献 2】

特開平 1 0 - 1 6 2 5 8 5 号公報

【特許文献 3】

特開 2 0 0 0 - 3 1 1 4 9 1 号公報

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、2つのゲイントランジスタにはオフセットが存在し、これが読み出しマージンを低下させてしまう。

【0 0 1 3】

データ読み出し動作では、サブビット線に発生する電位差をチャネル抵抗の差に変換し、これによるドレイン・ソース間電流の違いをビット線電位変化としてセンスアンプで検出している。ゲイントランジスタは飽和領域で動作しているので、ドレイン・ソース間電流の簡易式によるとゲート電位としきい電圧値の差の2乗に比例する。ゲイントランジスタQG00, QGX00のドレイン・ソース間電流をIDS00, IDSX00、しきい電圧値をVT00, VTX00とすると、

$$IDS00 / IDSX00 = (VSBL00 - VT00)^2 / (VSBLX00 - VTX00)^2$$

という式が成り立つ。例えば、読み出し動作で発生する電圧およびしきい電圧値を $VSBL00 = 1.0\text{ V}$ 、 $VSBLX00 = 0.9\text{ V}$ 、 $VT00 = VTX00 = 0.6\text{ V}$ と仮定すると、 $IDS00 / IDSX00 = 1.78$ となる。しかし、 0.1 V のオフセットが存在し、 $VT00 = 0.7\text{ V}$ 、 $VTX00 = 0.6\text{ V}$ であった場合には、 $IDS00 / IDSX00 = 1$ となり、センス不能となる。このように、オフセット電圧によってドレイン・ソース間電流比が低下してしまうと、他の配線に駆動パルスを印加したときにビット線に飛び込むノイズに対する耐性を低下させる。また、強誘電体キャパシタに保持していた残留分極の低下（リテンション）による読み出し電荷の低下、高温保存による強誘電体ヒステリシスの変化（インプリント）による読み出し電荷の低下、あるいは製造ばらつきによる2つの強誘電体キャパシタから発生する電荷の偏り、等によるサブビット線電位差（ $VSBL00 - VSBLX00$ ）の減少に対する動作マージン低下をまねく。

【0 0 1 4】

過去に、センスアンプのオフセットをコンデンサに充電してキャンセルする方法（特許文献1参照）、センスアンプにトリミング機能を付与してオフセットを減少させる方法（特許文献2参照）、センスアンプを構成するMOSトランジスタのウェル電位を調整してオフセットを補償する方法（特許文献3参照）が提案されている。しかしながら、これらの技術はセンスアンプのオフセットをキャン

セルするためのものであり、メモリセルに接続されたゲイントランジスタのオフセットをキャンセルすることはできない。

【 0 0 1 5 】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 の半導体記憶装置では、パストランジスタと強誘電体キャパシタからなるメモリセルを複数個備え、前記複数のメモリセルはサブビット線で接続され、サブビット線の一端にはゲイントランジスタのゲートが接続され、前記ゲイントランジスタのドレインはビット線に、ソースはソース線に接続された半導体記憶装置であって、サブビット線をゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電する手段を備えたことを特徴とする。

【 0 0 1 6 】

この構成により、読み出し動作前にサブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値に充電することが可能となり、ゲイントランジスタのしきい電圧値をゲート電位フィードバックするので、しきい電圧値ばらつきの影響を除去でき、安定した動作が可能となる。

【 0 0 1 7 】

上記課題を解決するために、請求項 2 の半導体記憶装置では、請求項 1 記載の半導体記憶装置において、サブビット線にリセット電圧印加手段を備えたことを特徴とする。

【 0 0 1 8 】

この構成により、サブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値に充電した後、サブビット線のみをリセット電位にできる。ゲイントランジスタが N チャンネル型であった場合、リセット電圧をゲイントランジスタのしきい電圧値よりも低くすることにより、読み出し動作におけるゲイントランジスタのゲート電位を低くでき、ゲイントランジスタの出力振幅すなわちゲインを大きくできる。

【 0 0 1 9 】

上記課題を解決するために、請求項 3 の半導体記憶装置では、パストランジス

タと強誘電体キャパシタからなるメモリセルを複数個備え、前記複数のメモリセルはサブビット線で接続され、サブビット線の一端にはゲイントランジスタのゲートが接続され、前記ゲイントランジスタのドレインはビット線に、ソースはソース線に接続された半導体記憶装置であって、ゲイントランジスタのドレイン・ソース間を流れる電流を遮断する手段を備えたことを特徴とする。

【 0 0 2 0 】

この構成により、ゲイントランジスタのゲート電位すなわちサブビット線電位が遷移している期間中はドレイン・ソース間電流を遮断し、ゲート電位が安定した後でドレイン・ソース間電流を通電することが可能となる。

【 0 0 2 1 】

上記課題を解決するために、請求項 4 のデータ読み出し方法では、請求項 1 記載の半導体記憶装置において、前記しきい電圧値充電手段によりサブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電した後、強誘電体キャパシタの一方の電極に読み出し電圧を印加し、ゲイントランジスタのチャネル抵抗の変化を検出することを特徴とする。

【 0 0 2 2 】

この構成により、サブビット線には読み出し電圧印加による電位変化 V_{SBL} にしきい電圧値 V_T を加えた電圧が発生し、ゲイントランジスタのドレイン・ソース間電流 I_{DS} は、

$$I_{DS} \propto (V_{SBL} + V_T - V_T)^2 = V_{SBL}^2$$

となり、しきい電圧値のばらつきの影響を受けなくなる。

【 0 0 2 3 】

上記課題を解決するために、請求項 5 のデータ読み出し方法では、請求項 2 に記載の半導体記憶装置において、前記しきい電圧値充電手段によりサブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電した後、リセット電圧印加手段によりサブビット線をリセット電圧にし、リセット電圧印加手段を切り離した後、強誘電体キャパシタの一方の電極に読み出し電圧を印加し、ゲイ

ントランジスタのチャネル抵抗の変化を検出することを特徴とする。

【 0 0 2 4 】

この構成により、サブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電した後、サブビット線のみをリセット電圧にリセットし、ストレージノードにはしきい電圧値に依存した電荷量 Q_p が残される。強誘電体キャパシタ容量値 C_f 、強誘電体キャパシタの一方の電極電圧を V_p としたとき、その電荷量は $Q_p = C_f \times (V_p - V_T)$ となる。強誘電体キャパシタの一方の電極に読み出し電圧を印加したとき、この電荷 Q_p はサブビット線容量（容量値 C_{SBL} ）と強誘電体キャパシタ容量に分配される。読み出し動作におけるドレイン・ソース間電流に与える V_T ばらつきの影響は、この電荷再配分により低減され、容量比 $C_{SBL} / (C_{SBL} + C_f)$ 倍に小さくできる。かつ、ゲイントランジスタが N チャンネル型であった場合、リセット電圧をゲイントランジスタのしきい電圧値よりも低くすることにより、読み出し動作におけるゲイントランジスタのゲート電位を低くでき、ゲイントランジスタの出力振幅すなわちゲインを大きくできる。

【 0 0 2 5 】

上記課題を解決するために、請求項 6 の駆動方法では、請求項 4、5 記載のデータ読み出し方法において、前記しきい電圧値充電手段によりサブビット線および強誘電体キャパシタのストレージノードを充電する工程において、前記強誘電体キャパシタの一方の電極には、前記読み出し電圧と前記しきい電圧値あるいはしきい電圧にオフセットを加えた電圧値との中間電圧であり、かつ強誘電体膜の抗電圧を超えない電圧が印加されていることを特徴とする。

【 0 0 2 6 】

この構成により、データ読み出し前に記録されていた分極が破壊されることを防ぐことができる。

【 0 0 2 7 】

上記課題を解決するために、請求項 7 の駆動方法では、請求項 3 記載の半導体記憶装置において、強誘電体キャパシタの一方の電極に読み出し電圧を印加し、

ゲイントランジスタのチャネル抵抗の変化を検出するデータ読み出し方法であって、サブビット線の電位変化中、前記ドレイン・ソース間電流遮断手段によりドレイン・ソース間電流を遮断することを特徴とする。

【 0 0 2 8 】

この構成により、ゲイントランジスタのゲート電位すなわちサブビット線電位が遷移している期間中はドレイン・ソース間電流を遮断し、ゲート電位が安定した後でドレイン・ソース間電流を通電してデータを読み出すことができる。その結果、ゲイントランジスタにオフセットがあり、動作マージンが小さい場合や、ノイズ、リテンション、インプリントがあった場合にも安定した読み出し動作が可能となる。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

【 0 0 3 0 】

（実施の形態 1）

本発明の一実施の形態として、図 1 にメモリセルおよび周辺の回路図を示す。図 1 において、C 0 0 ～ 1 3，C X 0 0 ～ 1 3 は強誘電体キャパシタ、Q P 0 0 ～ 1 3，Q P X 0 0 ～ 1 3 はパストランジスタ、Q G 0 0 ～ 1 1，Q G X 0 0 ～ 1 1 はゲイントランジスタ、Q R 0 0 ～ 1 1，Q R X 0 0 ～ 1 1 はリセットトランジスタ、Q S 0 0 ～ 1 1，Q S X 0 0 ～ 1 1 は B L ・ S B L 結合トランジスタ、Q C 0 0 ～ 1 1，Q C X 0 0 ～ 1 1 は B L ・ Q G 結合トランジスタ、Q Q 0，1，Q Q X 0，1 はプリチャージトランジスタ、W L 0 ～ 3 はワード線、C P 0 ～ 3 はプレート線、B L 0，1，B L X 0，1 はビット線、S B L 0 0 ～ 1 1，S B L X 0 0 ～ 1 1 はサブビット線、R E 0，1 はリセットトランジスタ制御線、S O 0，1 は B L ・ S B L 結合トランジスタ制御線、G C 0，1 は B L ・ Q G 結合トランジスタ制御線、D L 0，1，D L X 0，1 はデータ出力線、R S T 0，1，R S T X 0，1 は R S T 線、P C E はプリチャージ起動線、S A 0，1 はセンスアンプ回路、S W はスイッチ、W R 0，1，W R X 0，1 はデータ書き込み回路、M C 0 0 ～ 1 3 はメモリセル、M B 0 0 ～ 1 1 はメモリブロック、S N

00, SNX00はメモリセルMC00におけるストレージノードであり、強誘電体キャパシタのプレート線に接続されていない方の電極である。図1に示されたトランジスタの内、QQ0, 1, QQX0, 1はPチャネル型、これ以外はNチャネル型である。

【0031】

メモリセルMC00～13は2つの強誘電体キャパシタと2つのパストランジスタで構成され、強誘電体キャパシタの両電極の内、一方は共通のプレート線に接続され、他方はパストランジスタを介してサブビット線に接続され、パストランジスタのゲートはワード線に接続されている。メモリブロックMB00～11は、2つのメモリセル、ゲイントランジスタ、リセットトランジスタ、BL・SBL結合トランジスタ、BL・QG結合トランジスタで構成され、ゲイントランジスタのゲートがサブビット線に、ドレインがBL・QG結合トランジスタを介してビット線に、ソースがRST線に接続される。サブビット線は、リセットトランジスタを介してRST線に接続され、BL・SBL結合トランジスタを介してビット線に接続されている。

【0032】

メモリブロックは2行2列のマトリクス配置されており、ビット線の一端には、例えばPチャネルトランジスタをクロスカップル結合して構成されたセンスアンプが接続され、RST線の一端にはスイッチを介して接地、あるいはデータ書き込み回路に接続されている。メモリセルに含まれる2つの強誘電体キャパシタには、上向きあるいは下向きの分極としてデータが相補的に記録される。相補的な関係にあるものは、図1中で同じ添え字番号、かつ「X」という文字の有無で表わされている。

【0033】

最初に、メモリセルヘデータを書き込む動作を、図1中のメモリブロックMB00に属するメモリセルMC00にデータ“0”を書き込む場合を、図2に示す各配線への電圧印加図を用いて説明する。まず、図1のスイッチSWを右側にしてRST0, RSTX0を接地し、WL0およびRE0にハイ電圧を印加してパストランジスタQP00, QPX00およびリセットトランジスタQR00, Q

R X 0 0 をオンにした状態で、プレート線 C P 0 に正極性パルス进行印加する。このパルス印加により、2つの強誘電体キャパシタ C 0 0, C X 0 0 を上向きに分極させる。次いで、図 1 のスイッチ S W を左側に切り替え、R S T 0 に W R 0 から電圧レベル V R S T w の正極性パルスを印加し、強誘電体キャパシタ C 0 0 の分極を下向きに変える。このとき、W R 1 は接地電位を出力している。

【 0 0 3 4 】

以上の動作により、メモリセル中の2つの強誘電体キャパシタ C 0 0, C X 0 0 には、互いに異なる分極方向としてデータが書き込まれる。メモリセルを構成するキャパシタ C * * (* * はアドレスを示す添え字番号) が下向き分極、キャパシタ C X * * が上向き分極でデータ “ 0 ”、分極方向が反対でデータ “ 1 ” となる。データ書き込みでプレート線および R S T 線に印加される正極性パルスは、強誘電体の分極が飽和する電圧以上が望ましい。そうすることで、強誘電体キャパシタは電源を切っても分極状態が保存され、不揮発性メモリとして機能する。

【 0 0 3 5 】

次に、上記の方法でデータ “ 0 ” が書き込まれているメモリセル M C 0 0 からデータを読み出す動作を説明する。データ読み出し動作では、図 1 のスイッチ S W は右側に切り替えておき、R S T 線を接地した状態で、図 3 に示す電圧を各配線に印加する。図 3 中の t 1 ~ 7 は、以下の説明中にでてくるタイミングを示したものである。

【 0 0 3 6 】

最初に、プリチャージ起動線 P C E をロー電位にしてプリチャージトランジスタ Q Q 0, Q Q X 0 をオンし、B L ・ S B L 結合トランジスタ制御線 S O 0 をハイ電位にして B L ・ S B L 結合トランジスタ Q S 0 0, Q S X 0 0 をオンし、リセットトランジスタ制御線 R E 0 をロー電位にしてリセットトランジスタ Q R 0, Q R X 0 をオフする。このとき、Q Q 0, Q Q X 0 を負荷として、ゲイントランジスタのドレインとゲートが接続された回路が形成されるので、ゲイントランジスタのゲートすなわちサブビット線 S B L 0 0, S B L X 0 0 はそれぞれゲイントランジスタ Q G 0 0, Q G X 0 0 のしきい電圧値レベル (V T 0 0, V T X

00 ; 図3中のt1)になる。プリチャージトランジスタとゲイントランジスタのサイズを調整することにより、ゲイントランジスタのしきい電圧値にオフセットを加えた電圧値とすることも可能である。このとき、同時にプレート線CP0を電圧値VRD1のレベルに上昇させ、ストレージノードSN00, SNX00をVRD1レベルとする。VRD1は、ゲイントランジスタのしきい電圧値の製造ばらつきの上限よりも若干高めとし、かつVRD1としきい電圧値との差が強誘電体膜の抗電圧よりも小さくなる電圧値が望ましい。例えば、しきい電圧値の上限値よりも0.1V高い電圧値に設定する。このように設定することにより、次動作でパストランジスタをオンしたとき(図3中のt2)、読み出し動作と同一極性かつ抗電圧以下の電圧が強誘電体キャパシタに印加されるので、読み出し前に強誘電体膜に抗電圧以上の電圧が印加されて分極が反転し、記録されていたデータが破壊されることを防ぐことができる。

【0037】

次いで、WL0にハイ電圧を印加してパストランジスタQP00, QPX00をオンにしてストレージノードSN00, SNX00をしきい電圧値(VT00, VTX00; 図3中のt2)にセットする。セット完了後、S00をロー電位にしてBL・SBL結合トランジスタQS00, QSX00をオフし、GC0をロー電位にしてBL・QG結合トランジスタQC00, QCX00をオフし、ビット線電位BL0, BLX0をハイ電圧にプリチャージする。

【0038】

プリチャージ起動線PCEをハイ電位にしてプリチャージトランジスタQQ0, QQX0をオフし、センスアンプSA0を起動し、プレート線CP0に電圧レベルVRD2の正極性パルスを印加する。このとき、強誘電体キャパシタC00, CX00からゲイントランジスタQG00, QGX00へと電荷が移動し、サブビット線SBL00, SBLX00の電位は上昇(図3中のt3)する。サブビット線の電位変化が安定した後、BL・QG結合トランジスタ制御線GC0にハイ電圧を印加し、BL・QG結合トランジスタQC0, QCX0をオンして、ビット線BL00, BLX00の電位をプリチャージレベルから下降させる。従来の強誘電体メモリではサブビット線電位が変化してゲイントランジスタのしき

い電圧値を超えると直ちにビット線電位は下降する駆動方法であったが、このようにサブビット線電位が変化している間はBL・QG結合トランジスタによりビット線とゲイントランジスタを切り離し、サブビット線電位が安定してからビット線の電位変化を起動することにより、安定した読み出し動作を確保できることとなる。

【 0 0 3 9 】

プレート線への正極性パルス印加動作では、下向きに分極している強誘電体キャパシタC00の方が、上向きに分極している強誘電体キャパシタCX00よりも多くの電荷が発生するため、サブビット線SBL00のt2からt3にかけての電位変化(VSBL00)はSBLX00の電位変化(VSBLX00)よりも大きくなる。このとき(t3)、2つのサブビット線に発生する電位は、VSBL00+VT00, VSBL01+VT01となる。2つのゲイントランジスタQG00, QGX00のドレイン・ソース間電流IDS00, IDSX00の比は、

$$\begin{aligned} IDS00 / IDSX00 &= (VSBL00 + VT00 - VT00)^2 / \\ & (VSBLX00 + VTX00 - VTX00)^2 \\ &= VSBL00^2 / VSBL01^2 \end{aligned}$$

となり、オフセットの影響を受けなくなる。VSBL00の方が、VSBLX00よりも大きい(例えば、読み出し動作で発生する電圧おおよびしきい電圧値をVSBL00=1.0V、VSBLX00=0.9Vと仮定すると、IDS00/IDSX00=1.23となる)ので、ゲイントランジスタQG00のチャネル抵抗はQGX00よりも低くなり、ビット線BL0の電位変化はBLX0の電位変化よりも大きくなる。ビット線対(BL0, BLX0)の電位差はセンスアンプSA0により増倍される。ビット線対のBL0がロー電位、BLX0がハイ電位の場合でデータ“0”と判定され、逆極性でデータ“1”と判定され、判定結果がデータ出力線DL0, DLX0から出力される。

【 0 0 4 0 】

この強誘電体キャパシタからデータを読み出す際、強誘電体膜に印加される電圧が抗電圧を越えないように印加するプレート線の印加電圧VRD2および強誘

電体キャパシタ値、サブビット線容量値（パストランジスタ、リセットトランジスタ、 $BL \cdot SBL$ 結合トランジスタのジャンクション容量、ゲイントランジスタのゲート容量、配線間容量等）を調整することにより、読み出し動作で強誘電体膜に印加されるストレスを軽減でき、読み出し可能な動作回数（従来 $10^8 \sim 10^{10}$ 回）を 10^{15} 回以上に伸ばすことが可能である。

【 0 0 4 1 】

次に SW を左側にして RST 線とデータ書き込み回路を接続し、データ読み出しにおいて、ビット線がロー電位に変化した方に対応する RST 線、本実施の形態ではロー電位に変化した $BL0$ に対応する $RST0$ にデータ書き込み回路 $WR0$ から電圧レベル V_{RSTr} のパルス印加する。一方、相補関係にある $RSTX0$ には $WRX0$ から接地レベルが出力される。同時に、ワード線 $WL0$ をロー電位にしてパストランジスタ $QP00$ 、 $QPX00$ をオフにし、プレート線 $CP0$ をロー電位にし、リセットトランジスタ制御線 $RE0$ をハイ電位にしてリセットトランジスタをオンにする。この動作により、サブビット線の電位は、 $SBL00$ が V_{RSTr} 、 $SBLX00$ が接地電位となる（図 3 中の $t5$ ）。この後、ワード線 $WL0$ をハイ電位にしてパストランジスタ $QP00$ 、 $QPX00$ をオンし、ストレージノード $SN00$ に V_{RSTr} レベルの書き込みパルス印加して強誘電体キャパシタ $C00$ の分極方向を下向きにし、ストレージノード $SNX00$ およびプレート線 $CP0$ を接地して強誘電体キャパシタ $CX00$ の両電極間電圧をゼロにした（図 3 中の $t6$ ）後、データ書き込み回路 $WR0$ の出力を V_{RSTr} レベルから接地電位にしてストレージノード $SNX00$ を接地し、強誘電体キャパシタ $C00$ の両電極間電圧をゼロ（図 3 中の $t7$ ）にし、ワード線 $WL0$ をロー電位にして読み出しは完了する。メモリセルを構成する 2 つの強誘電体キャパシタには、互いに異なる方向の分極としてデータが記録されているが、これを読み出すために印加した読み出し電圧が分極の方向と異なる強誘電体キャパシタにのみ、書き込みパルス印加している。すなわち、この場合には下向き分極を記録されていた強誘電体キャパシタ $C00$ に $WR0$ から書き込みパルス印加し、上向き分極が記録された $CX00$ には書き込みパルス印加しない。その理由は、下向き分極が記録された強誘電体キャパシタでは、プレート線から読み出

しパルスを印加することによって分極の絶対値が減少してしまうのに対して、上向き分極が記録された強誘電体キャパシタでは、読み出しパルスを印加しても分極の絶対値は減少しないからである。RST0に印加するパルスの電圧値 V_{RSTr} は V_{RSTw} よりも小さくても良く、読み出しで変化した分極を復帰させるだけの電圧で充分であり、抗電圧程度である。このように、2つの強誘電体キャパシタでメモリセルが構成され、互いに異なる方向の分極としてデータを記録する方式であって、読み出し動作により分極量が変化する強誘電体キャパシタにのみ再書き込みパルスを印加し、かつ分極が飽和するだけの電圧を印加する通常の書き込み動作よりも小さい電圧の再書き込みパルスを印加する駆動を行うことにより、強誘電体膜へのストレス印加を軽減できる効果がある。

【 0 0 4 2 】

(実施の形態2)

本発明の一実施の形態として、図4にデータ読み出しの駆動波形を示す。本実施の形態では、第一の実施の形態と同じ回路構成(図1)で、データ書き込みの方法もまた第一の実施の形態と同じ駆動波形(図2)であり、データの読み出し方法に特徴がある。

【 0 0 4 3 】

データ“0”が書き込まれているメモリセルMC00からデータを読み出す動作を説明する。データ読み出し動作では、図1のスイッチSWは右側に切り替えておき、RST線を接地した状態で、図4に示す電圧を各配線に印加する。図4中の $t_{t1} \sim 8$ は、以下の説明中に出てくるタイミングを示したものである。

【 0 0 4 4 】

最初に、プリチャージ起動線PCEをロー電位にしてプリチャージトランジスタQQ0, QQX0をオンし、BL・SBL結合トランジスタ制御線S00をハイ電位にしてBL・SBL結合トランジスタQS00, QSX00をオンし、リセットトランジスタ制御線RE0をロー電位にしてリセットトランジスタQR0, QRX0をオフする。このとき、QQ0, QQX0を負荷として、ゲイントランジスタのドレインとゲートが接続された回路が形成されるので、ゲイントランジスタのゲートすなわちサブビット線SBL00, SBLX00はそれぞれゲイ

ントランジスタ Q_{G00} , Q_{GX00} のしきい電圧値レベル (V_{T00} , V_{TX00} ; 図4中の t_{t1}) になる。プリチャージトランジスタとゲイントランジスタのサイズを調整することにより、ゲイントランジスタのしきい電圧値にオフセットを加えた電圧値とすることも可能である。このとき、同時にプレート線 $CP0$ を電圧値 V_{RD1} のレベルに上昇させ、ストレージノード $SN00$, $SNX00$ を V_{RD1} レベルとする。 V_{RD1} は、ゲイントランジスタのしきい電圧値の製造ばらつきの上限よりも若干高めとし、かつ V_{RD1} としきい電圧値との差が強誘電体膜の抗電圧よりも小さくなる電圧値が望ましい。例えば、上限値よりも $0.1V$ 高い電圧値に設定する。このように設定することにより、次動作でパストランジスタをオンしたとき (図4中の t_{t2})、読み出し動作と同一極性かつ抗電圧以下の電圧が強誘電体キャパシタに印加されるので、読み出し前に強誘電体膜に抗電圧以上の電圧が印加されて分極が反転し、記録されていたデータが破壊されることを防ぐことができる。

【 0 0 4 5 】

次いで、 $WL0$ にハイ電圧を印加してパストランジスタ $QP00$, $QPX00$ をオンにしてストレージノード $SN00$, $SNX00$ をしきい電圧値 (V_{T00} , V_{TX00} ; 図4中の t_{t2}) にセットする。セット完了後、 $WL0$ をロー電位にしてパストランジスタ $QP00$, $QPX00$ をオフにした後、 $SO0$ をロー電位にして $BL \cdot SBL$ 結合トランジスタ $QS00$, $QSX00$ をオフし、 $RE0$ をハイ電位にする。強誘電体キャパシタ $C00$, $CX00$ の容量値を C_{f00} , C_{fx00} (強誘電体キャパシタでは、記録されている分極値により、容量値が変わる) とすると、この動作でストレージノード $SN00$, $SNX00$ には、 $q_{00} = C_{f00} \cdot (V_{RD1} - V_{T00})$ および $q_{x00} = C_{fx00} \cdot (V_{RD1} - V_{TX00})$ なる電荷が保存される。一方、サブビット線 $SBL00$, $SBLX00$ は接地電位にリセットされる (図4中の t_{t3})。

【 0 0 4 6 】

次いで、 $GC0$ をロー電位にして $BL \cdot QG$ 結合トランジスタ $QC00$, $QCX00$ をオフし、ビット線電位 $BL0$, $BLX0$ をハイ電圧にプリチャージした後、プリチャージ起動線 PCE をハイ電位にしてプリチャージトランジスタ QQ

0, Q_{QX0} をオフし、センスアンプ $SA0$ を起動し、ワード線 $WL0$ にハイ電圧を印加してパストランジスタ $QP00$, $QPX00$ をオンし、プレート線 $CP0$ に電圧レベル $VRD3$ の正極性パルスを印加する。このとき、強誘電体キャパシタ $C00$, $CX00$ からゲイントランジスタ $QG00$, $QGX00$ へと電荷が移動し、サブビット線 $SBL00$, $SBLX00$ の電位は上昇 (図4中の t_{t4} , t_{t5}) する。サブビット線の電位変化が安定した後、 $BL \cdot QG$ 結合トランジスタ制御線 $GC0$ にハイ電圧を印加し、 $BL \cdot QG$ 結合トランジスタ $QC0$, $QCX0$ をオンして、ビット線 $BL00$, $BLX00$ の電位をプリチャージレベルから下降させる。

【0047】

プレート線への正極性パルス印加動作で2つのサブビット線 $SBL00$, $SBLX00$ に発生する電位 V_{SBL00} , V_{SBLX00} は、サブビット線容量値 (パストランジスタ、リセットトランジスタ、 $BL \cdot SBL$ 結合トランジスタのジャンクション容量、ゲイントランジスタのゲート容量、配線間容量等) を CS_{BL} とすると、

$$V_{SBL00} = C_{f00} \cdot (VRD3 - VRD1 - VT00) / (CS_{BL} + C_{f00})$$

$$V_{SBLX00} = C_{fx00} \cdot (VRD3 - VRD1 - VTX00) / (CS_{BL} + C_{fx00})$$

となる。2つのゲイントランジスタ $QG00$, $QGX00$ のドレイン・ソース間電流 ID_{S00} , ID_{SX00} の比は、

$$ID_{S00} / ID_{SX00} = (V_{SBL00} - VT00)^2 / (V_{SBLX00} - VTX00)^2$$

であるから、分子、分母のかっこ内は、

$$V_{SBL00} - VT00 = C_{f00} \cdot (VRD3 - VRD1) / (CS_{BL} + C_{f00}) - CS_{BL} \cdot VT00 / (CS_{BL} + C_{f00})$$

$$V_{SBLX00} - VTX00 = C_{fx00} \cdot (VRD3 - VRD1) / (CS_{BL} + C_{fx00}) - CS_{BL} \cdot VTX00 / (CS_{BL} + C_{fx00})$$

となり、しきい電圧値には係数 $CS_{BL} / (CS_{BL} + C_{f00})$ あるいは CS

$BL / (CSBL + Cf \times 00)$ が掛け合わされる。すなわち、しきい電圧値のばらつきは $CSBL / (CSBL + Cf \times 00)$ 倍あるいは $CSBL / (CSBL + Cf \times 00)$ 倍に軽減される。また、サブビット線および強誘電体キャパシタのストレージノードをゲイントランジスタのしきい電圧値、あるいはしきい電圧値に充電した後、サブビット線のみを接地電位にリセットして読み出し動作を行っているため、ドレイン・ソース間電流比を従来と同等にできる。

【 0 0 4 8 】

さて、 $IDS00 / IDSX00 > 1$ であるから、ゲイントランジスタ $QG00$ のチャネル抵抗は $QGX00$ よりも低くなり、ビット線 $BL0$ の電位変化は $BLX0$ の電位変化よりも大きくなる。ビット線対 ($BL0$, $BLX0$) の電位差はセンスアンプ $SA0$ により増倍される。ビット線対の $BL0$ がロー電位、 $BLX0$ がハイ電位の場合でデータ “0” と判定され、逆極性でデータ “1” と判定され、判定結果がデータ出力線 $DL0$, $DLX0$ から出力される。

【 0 0 4 9 】

この強誘電体キャパシタからデータを読み出す際、強誘電体膜に印加される電圧が抗電圧を越えないように印加するプレート線の印加電圧 $VRD3$ および強誘電体キャパシタ値、サブビット線容量値を調整することにより、読み出し動作で強誘電体膜に印加されるストレスを軽減でき、読み出し可能な動作回数（従来 $10^8 \sim 10^{10}$ 回）を 10^{15} 回以上に伸ばすことが可能である。

【 0 0 5 0 】

次に SW を左側にして RST 線とデータ書き込み回路を接続し、データ読み出しにおいて、ビット線がロー電位に変化した方に対応する RST 線、本実施の形態ではロー電位に変化した $BL0$ に対応する $RST0$ にデータ書き込み回路 $WR0$ から電圧レベル $VRSTr$ のパルス印加する。一方、相補関係にある $RSTX0$ には $WRX0$ から接地レベルが出力される。次いで、リセットトランジスタ制御線 $RE0$ をハイ電位にしてリセットトランジスタ $QR00$, $QRX00$ をオンし、ストレージノード $SN00$ に $VRSTr$ レベルの書き込みパルス印加して強誘電体キャパシタ $C00$ の分極方向を下向きにし、ストレージノード $SNX00$ およびプレート線 $CP0$ を接地して強誘電体キャパシタ $CX00$ の両電極間

電圧をゼロにした（図4中のt t 7）後、データ書き込み回路W R 0からロー電位を出力してストレージノードS N X 0 0もまた接地して強誘電体キャパシタC 0 0の両電極間電圧をゼロにし、ワード線W L 0をロー電位にして（図4中のt t 8）、読み出しは完了する。ここで、R S T 0に印加するパルスの電圧値V R S T rはV R S T wよりも小さくても良く、読み出しで変化した分極を復帰させるだけの電圧で充分であり、抗電圧程度である。

【 0 0 5 1 】

なお、本発明の実施の形態では、メモリセルが2つの強誘電体キャパシタを含む構成、いわゆる2 T 2 C型メモリセルについてのみ説明したが、メモリセルが1つの強誘電体キャパシタで構成された1 T 1 C型メモリセルでも、リファレンス電圧を発生するリファレンスセルとメモリセルの双方にゲイントランジスタが接続され、ゲイントランジスタのチャネル抵抗の違いを検出する方式であれば、本発明の構成は有効であることは言うまでもない。

【 0 0 5 2 】

【発明の効果】

以上のように本発明によれば、メモリセルに接続されたオフセットを補償することができ、安定したメモリセルからのデータ読み出しが可能となる効果を有する。

【 0 0 5 3 】

さらに、メモリセルからサブビット線に読み出された信号電圧が安定した後に、ビット線電位を変化させるので、メモリセルからの安定したデータ読み出しが可能となる効果を有する。

【 0 0 5 4 】

加えて、読み出し動作で強誘電体キャパシタに印加される電圧を強誘電体膜の抗電圧以下とすることで、読み出し動作で強誘電体膜に印加されるストレスを低減し、読み出し可能な回数を伸張できる効果を有する。

【 0 0 5 5 】

また、データを読み出した後、相補関係にある強誘電体キャパシタの内、読み出しで分極が変化した一方のみに、変化した分極を復帰させるに十分な書き込み

パルスを印加することにより、強誘電体膜へのストレス印加を軽減できる効果を有する。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 におけるメモリセルおよび周辺の回路図

【図 2】

本発明の実施の形態 1 におけるデータ書き込み動作の駆動電圧波形図

【図 3】

本発明の実施の形態 1 におけるデータ読み出し動作の駆動電圧波形図

【図 4】

本発明の実施の形態 2 におけるデータ読み出し動作の駆動電圧波形図

【図 5】

従来の強誘電体メモリにおけるメモリセルおよび周辺の回路図

【図 6】

従来の強誘電体メモリにおける駆動電圧波形で、

(a) データ書き込み動作を示す図

(b) データ読み出し動作を示す図

【符号の説明】

C 0 0 ~ 1 3, C X 0 0 ~ 1 3 強誘電体キャパシタ

Q P 0 0 ~ 1 3, Q P X 0 0 ~ 1 3 パストランジスタ

Q G 0 0 ~ 1 1, Q G X 0 0 ~ 1 1 ゲイントランジスタ

Q R 0 0 ~ 1 1, Q R X 0 0 ~ 1 1 リセットトランジスタ

Q S 0 0 ~ 1 1, Q S X 0 0 ~ 1 1 B L ・ S B L 結合トランジスタ

Q C 0 0 ~ 1 1, Q C X 0 0 ~ 1 1 B L ・ Q G 結合トランジスタ

Q Q 0, 1, Q Q X 0, 1 プリチャージトランジスタ

W L 0 ~ 3 ワード線

C P 0 ~ 3 プレート線

B L 0, 1, B L X 0, 1 ビット線

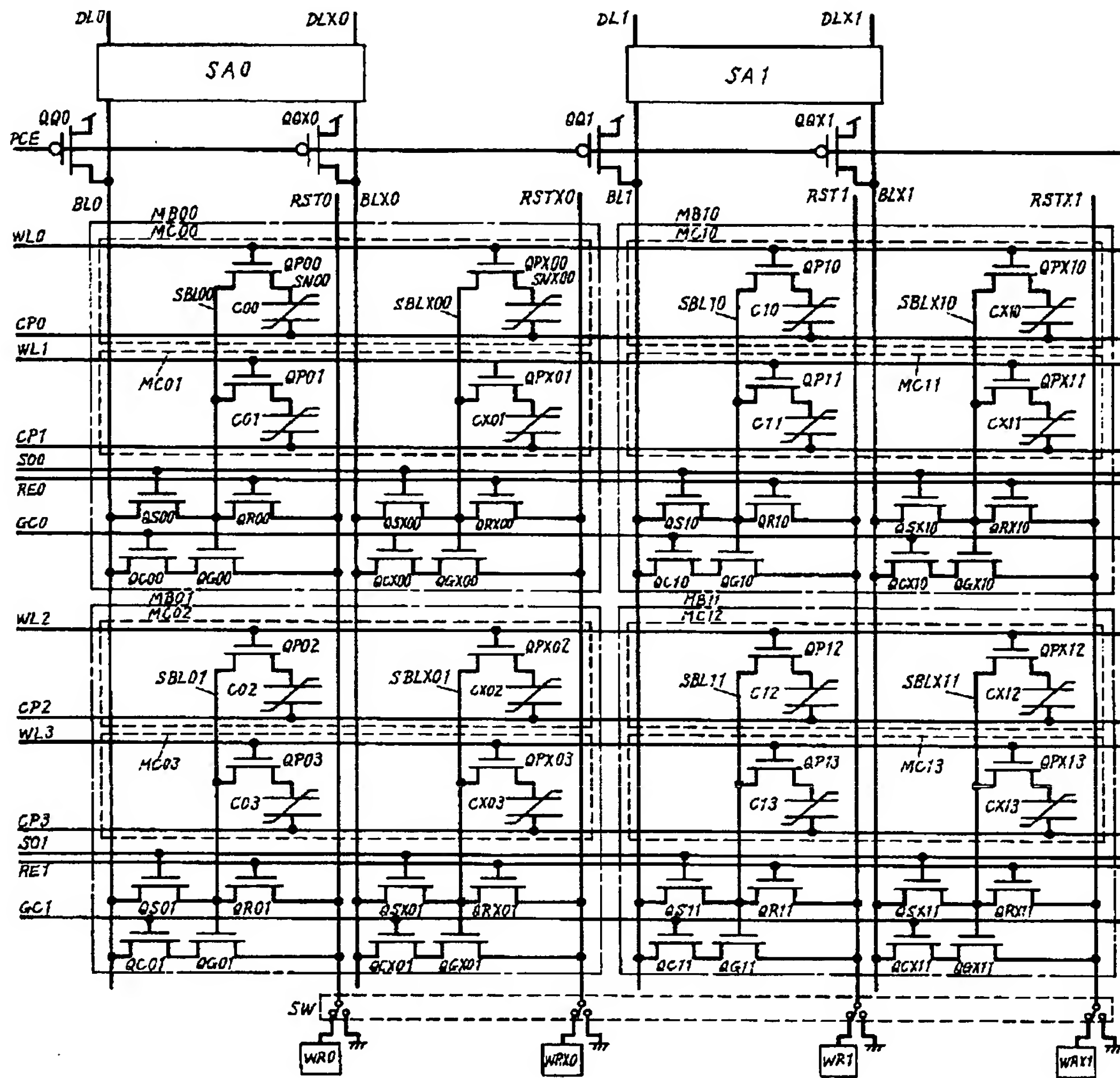
S B L 0 0 ~ 1 1, S B L X 0 0 ~ 1 1 サブビット線

RE 0, 1 リセットトランジスタ制御線
SO 0, 1 BL・SBL結合トランジスタ制御線
GC 0, 1 BL・QG結合トランジスタ制御線
DL 0, 1, DLX 0, 1 データ出力線
RST 0, 1, RSTX 0, 1 RST線
PCE プリチャージ起動線
SA 0, 1 センスアンプ回路
SW スイッチ
WR 0, 1, WRX 0, 1 データ書き込み回路
MC 0 0 ~ 1 3 メモリセル
MB 0 0 ~ 1 1 メモリブロック
SN 0 0, SNX 0 0 メモリセルMC 0 0におけるストレージノード

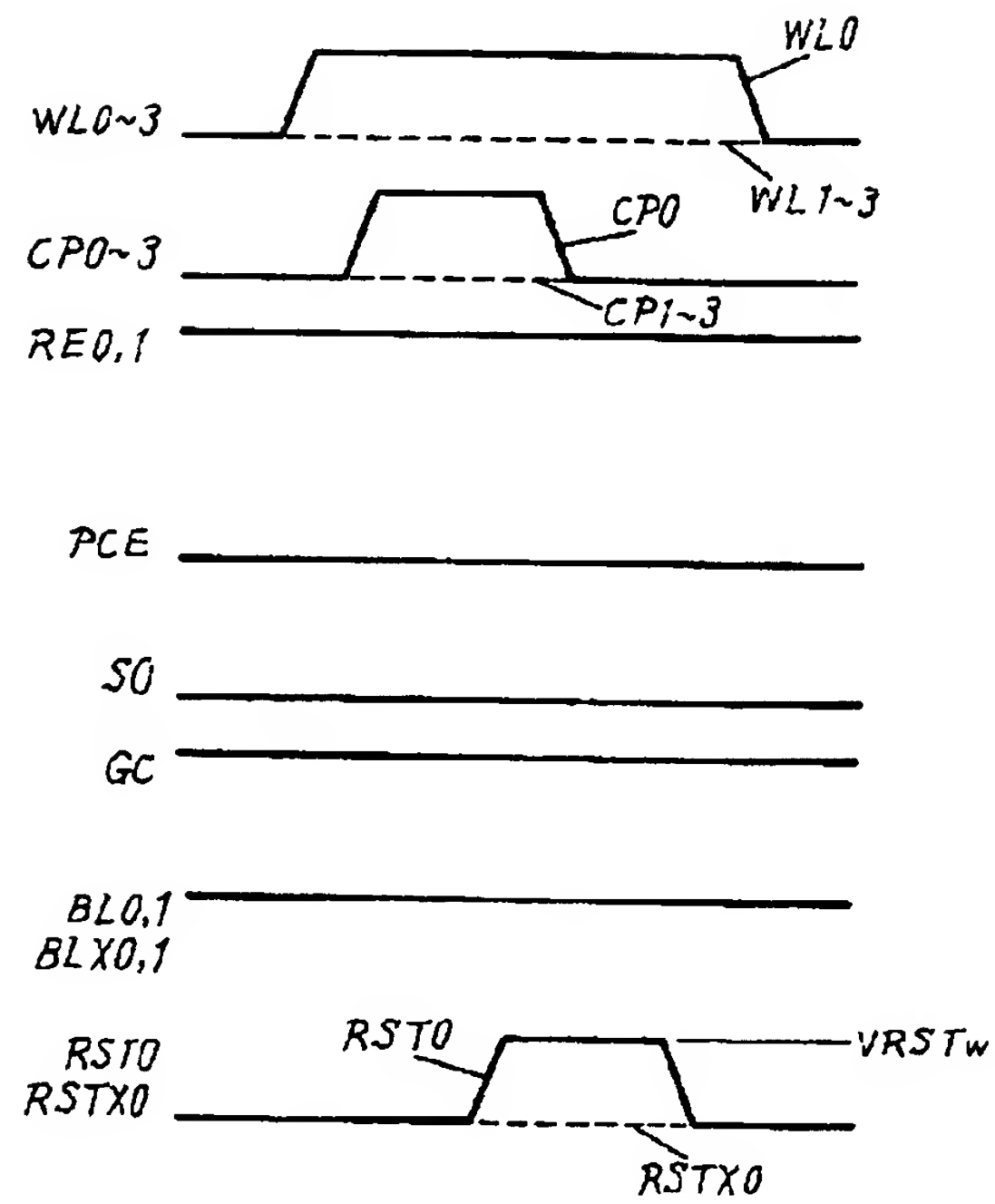
【書類名】

凶面

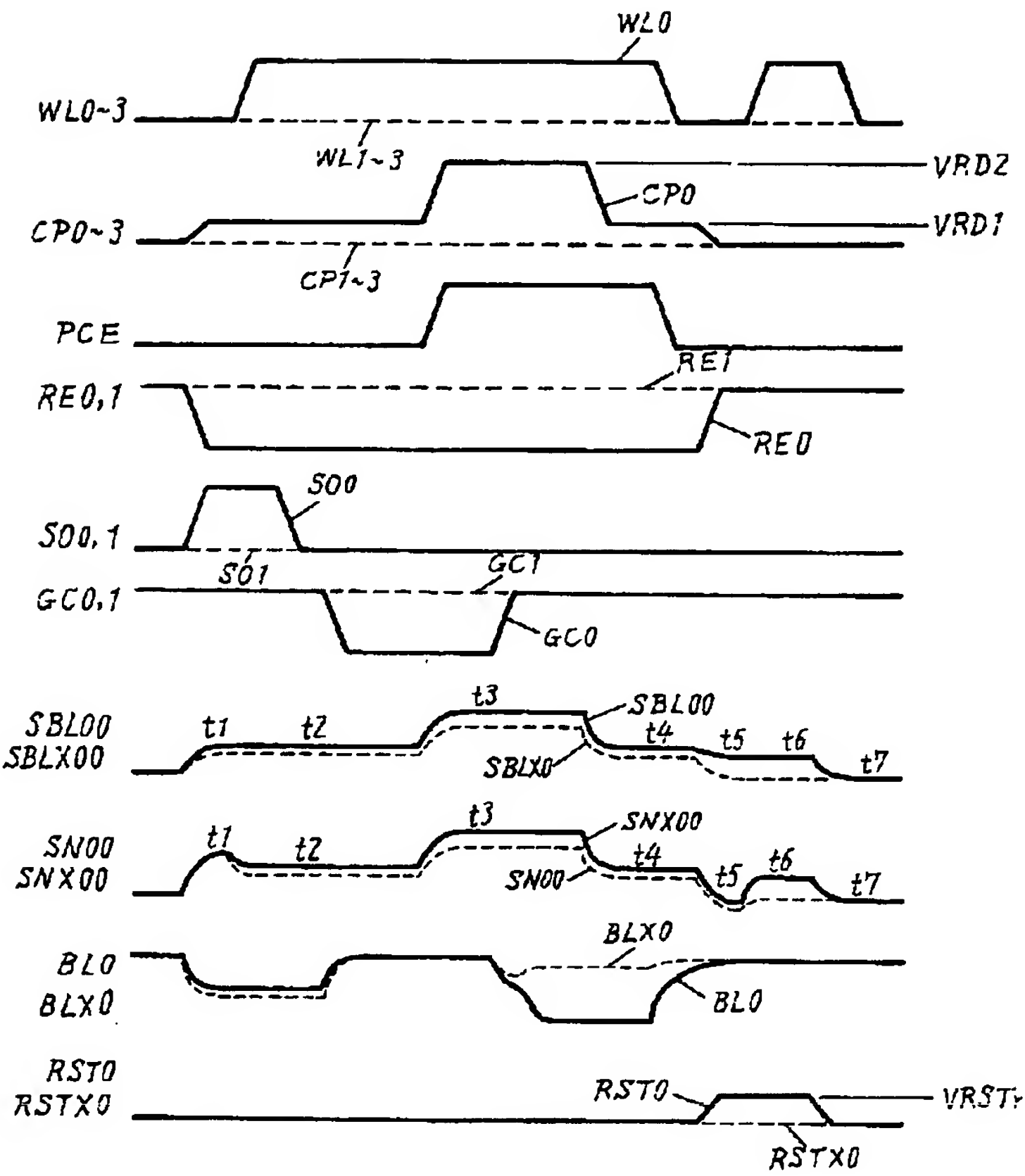
【図 1】



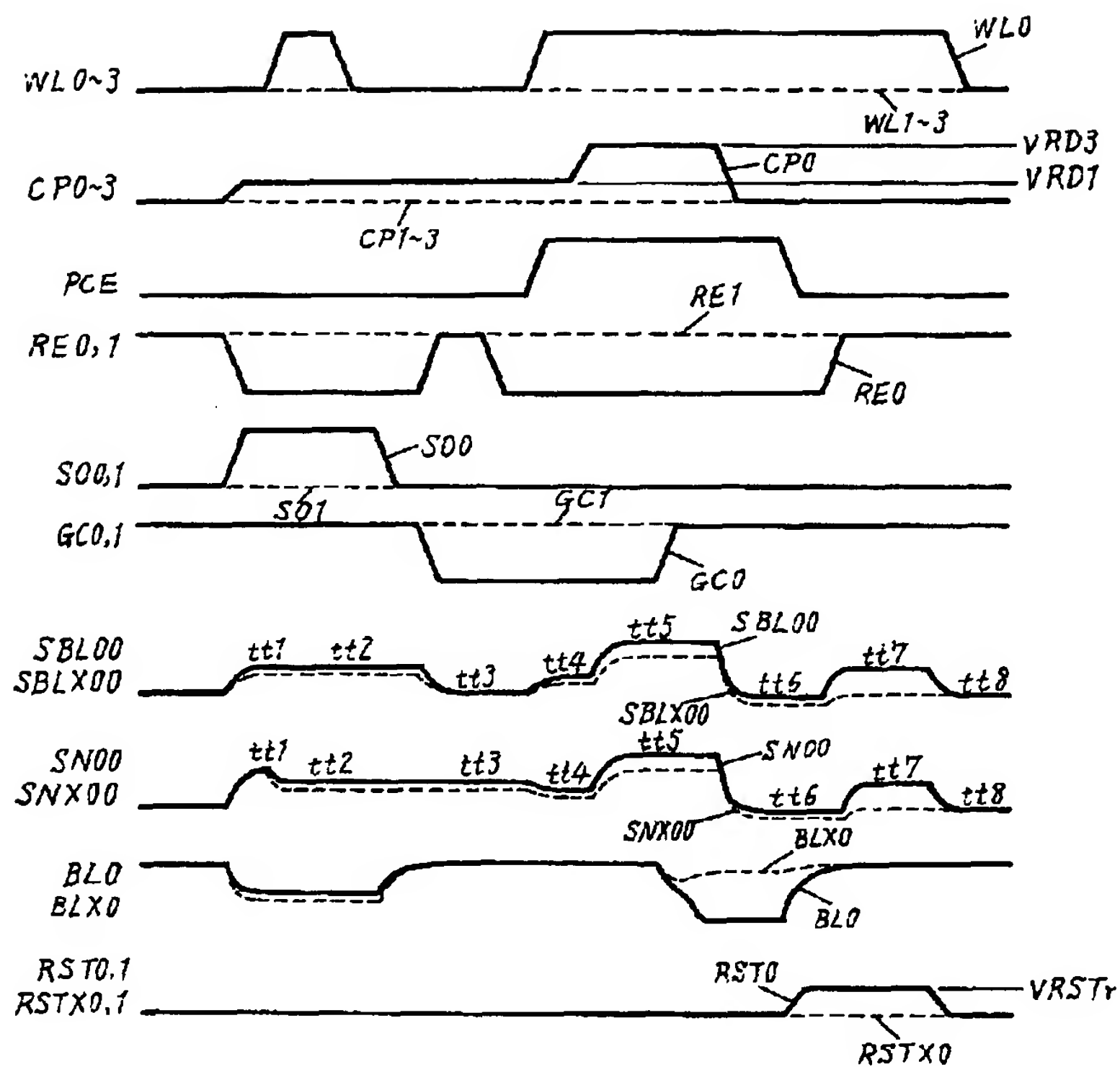
【図 2】



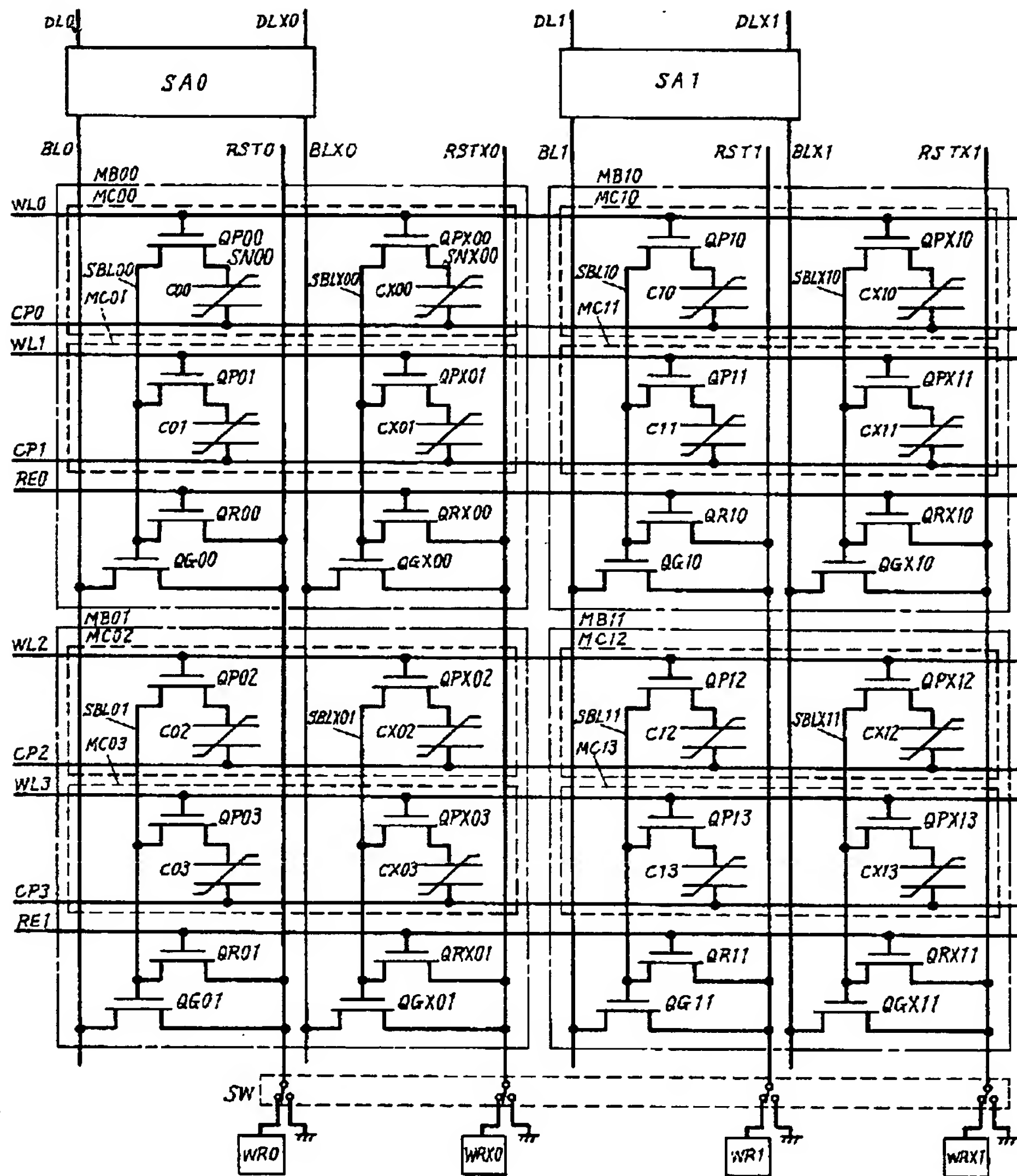
【図 3】



【図 4】

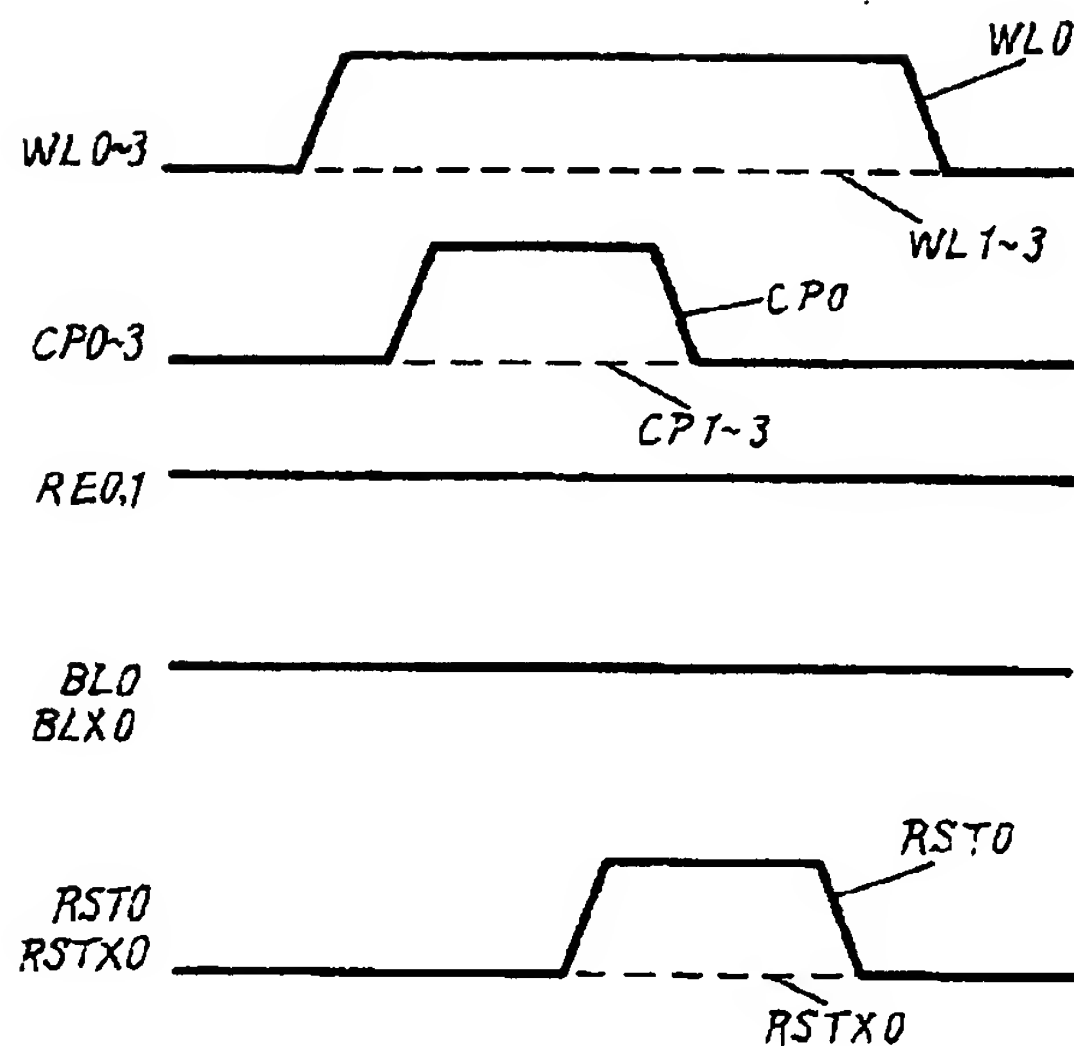


【図5】

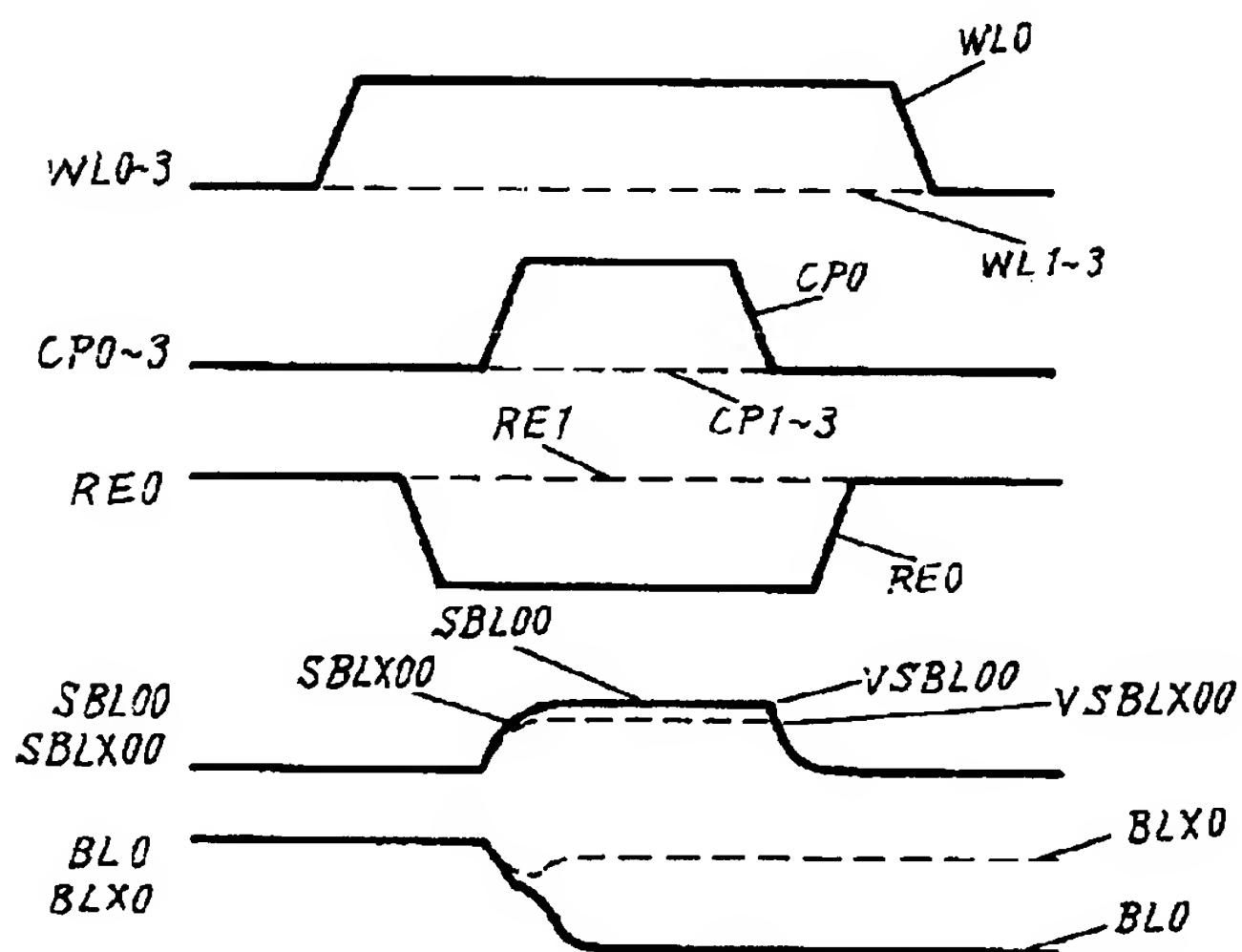


【図 6】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 ゲイントランジスタのオフセットを補償した強誘電体メモリを提供する。

【解決手段】 パストランジスタと強誘電体キャパシタからなるメモリセルを複数個備え、前記複数のメモリセルはサブビット線で接続され、サブビット線の一端にはゲイントランジスタのゲートが接続され、前記ゲイントランジスタのドレインはビット線に、ソースはソース線に接続された半導体記憶装置であって、サブビット線をゲイントランジスタのしきい電圧値、あるいはしきい電圧にオフセットを加えた電圧値に充電する手段を備えた構成とすることにより、ストレージノードをゲイントランジスタのしきい電圧値に充電することが可能となり、ゲイントランジスタのしきい電圧値をゲート電位フィードバックするので、しきい電圧値ばらつきの影響を除去でき、安定した動作が可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更新月日	1 9 9 0 年 8 月 2 8 日
[変更新理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社